

Convertisseur de vitesse d'enregistrement

par P. Bréonce

Bureau International des Poids et Mesures, F-92310 Sèvres

1. But de l'appareil

L'appareil que l'on se propose de décrire a été construit au BIPM à la demande de J.W. Müller. Il permet l'observation et l'étude de la répartition dans le temps des impulsions correspondant à des événements détectés par notre ensemble de coïncidences $4\pi\beta\text{-}\gamma$. L'appareil enregistre tous les intervalles de temps Δt qui séparent un événement, pris arbitrairement comme origine, d'autres événements lui étant ou non associés (Fig. 1). Les intervalles correspondent donc à ceux qui existent par exemple entre des impulsions du type bêta et bêta, mais également du type gamma et coïncidences, ou autres.

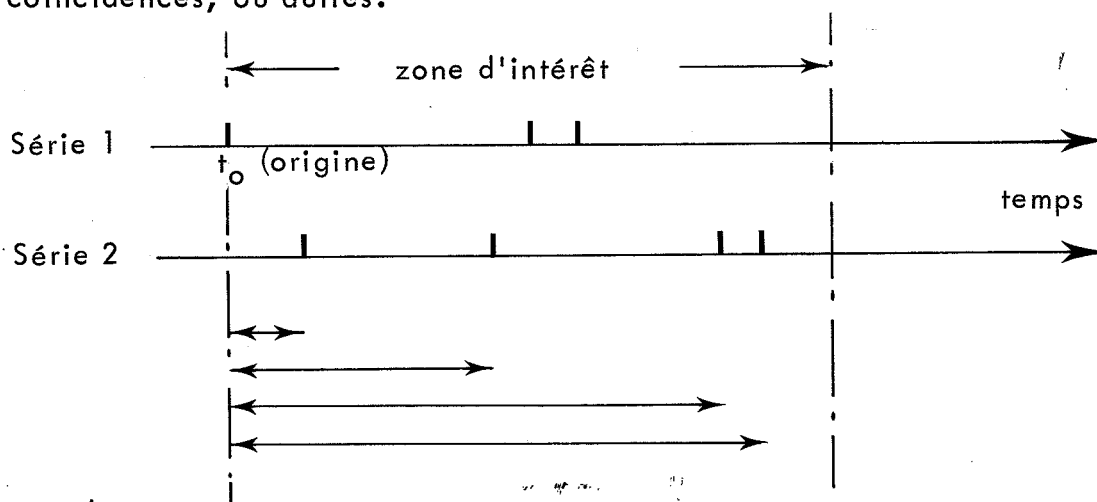


Figure 1 - Intervalles observables au cours d'un cycle de mesure (l'événement "origine" et ceux qui sont enregistrés peuvent aussi appartenir à la même série).

Le plus grand intervalle est limité par la "zone d'intérêt" qui est définie plus loin.

Il est important de noter que tous les événements qui suivent l'origine sont pris en considération, ce qui n'était pas le cas avec le convertisseur temps-amplitude que nous avons construit et qui sera décrit ultérieurement. Par ailleurs, on se trouve débarrassé des soucis de linéarité et d'étalonnage qui accompagnent la réalisation et l'emploi des convertisseurs temps-amplitude.

L'enregistrement de ces intervalles aurait pu se faire directement sur un sélecteur multicanal en mode multi-échelle, mais en principe seulement, car un tel appareil est beaucoup plus lent: la résolution obtenue serait dans le meilleur des cas de $5 \mu s$, au lieu de 50 ns pour le présent appareil.

Le but principal du convertisseur de vitesse est de s'insérer en "tampon" entre une expérience et le sélecteur qui enregistre à vitesse lente les résultats obtenus au cours de chaque cycle et les accumule tant que dure l'expérience. J.W. Müller donne les précisions suivantes relatives à l'intérêt que présente le convertisseur:

- étude des répartitions réelles pour une voie donnée et comparaison avec les distributions théoriques, permettant de contrôler le fonctionnement de l'appareillage et en particulier d'observer l'influence de temps morts en série,
- étude de l'arrivée des impulsions bêta et gamma au voisinage d'une coïncidence (effet Gandy),
- observation directe de la répartition des coïncidences et du "time jitter".

On espère que l'interprétation de ces distributions permettra d'arriver à de meilleures corrections dues aux influences combinées de temps morts et de temps de résolution qui sont applicables à des taux élevés dans des conditions réelles.

2. Principe

Après examen de quelques systèmes permettant de résoudre le problème posé (registres à décalage, par exemple), on s'est orienté vers l'utilisation d'une mémoire rapide. On a choisi la mémoire 82S16 Signetics dont le temps d'accès est de 30 ns . Par temps d'accès on entend "l'intervalle minimal qui doit séparer l'instant d'établissement d'une adresse de l'ordre d'écriture pour qu'une donnée présente à l'entrée soit inscrite à cette adresse". En tenant compte de la durée minimale du signal écriture, on aboutit à une période d'horloge écriture de 50 ns , ce qui définit par la même occasion la résolution du système ou intervalle élémentaire mesurable. Bien entendu, on n'est pas limité dans l'autre sens, c'est-à-dire que la période d'horloge écriture peut prendre toutes les valeurs supérieures à 50 ns .

La mémoire 82S16 est organisée en 256 mots de 1 bit. Cette configuration convient parfaitement à l'utilisation qui en est faite.

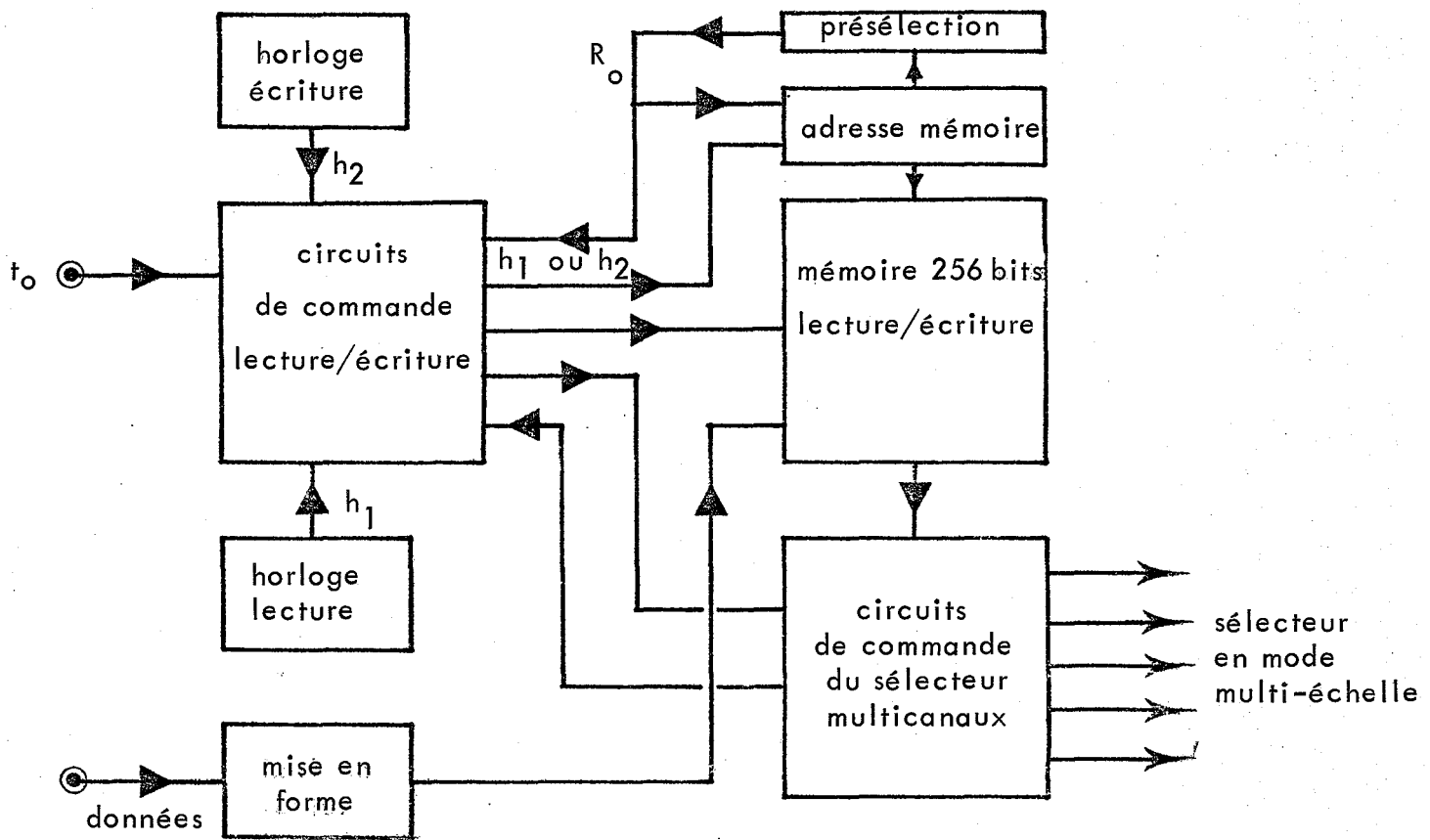


Figure 2 - Schéma d'ensemble du convertisseur de vitesse

Le principe de fonctionnement de l'appareil est fort simple, ainsi qu'en témoigne le schéma d'ensemble de la figure 2. L'événement survenant à l'instant t_0 provoque le début d'un cycle "écriture" dans la mémoire. Durant ce cycle, c'est l'horloge écriture h_2 , de période T_2 , qui actionne le compteur d'adresse et fait avancer celle-ci jusqu'au rang n , déterminé à l'avance grâce à la présélection ($n \leq 255$). La zone d'intérêt est alors égale à nT_2 et la résolution à T_2 . Toujours pendant ce cycle écriture, chaque fois qu'un événement se manifeste à l'entrée "données", une information est inscrite dans la mémoire à l'adresse où se trouve arrêté le compteur (en réalité, pour des raisons de sécurité de fonctionnement liées au caractère aléatoire des données, l'information n'est inscrite qu'à l'adresse suivante). Lorsque le rang d'adresse n est atteint, le compteur d'adresse est remis à zéro. Cette remise à zéro provoque le début d'un cycle "lecture" au cours duquel c'est l'horloge lecture h_1 , de période T_1 , qui actionne le compteur d'adresse. Lorsqu'on "passe" à une adresse où une information avait été inscrite lors du cycle écriture, on dispose de cette information en sortie de la mémoire et, par l'intermédiaire des circuits de commande du sélecteur, on la range dans la mémoire de celui-ci, à l'adresse convenable. La durée du cycle lecture est évidemment égale à

$nT_1 \gg nT_2$. Quand le rang n est atteint en lecture, on prépare un nouveau cycle écriture, et ainsi de suite. On accumule les données dans le sélecteur pour obtenir finalement une courbe de distribution des intervalles Δt mentionnés auparavant.

Bien que le temps qui sépare deux adresses consécutives sur le sélecteur soit égal à T_1 , la largeur d'un canal est en réalité égale à T_2 , d'où le nom de "convertisseur de vitesse d'enregistrement" donné à cet appareil.

3. Description et fonctionnement

Le présent rapport devant servir de notice pour le dispositif, on présente dans ce qui suit une description succincte de son fonctionnement. Pour cela, on se reporte au schéma de la figure 3. Les lettres telles que J placées près d'un groupe d'éléments désignent un circuit intégré complet et les chiffres inscrits dans chaque élément sont un repère. Ainsi, on appelle J_2 la porte 2 du circuit J .

3.1. Horloge

3.1.1. Horloge lecture h_1 - La précision et la stabilité de l'horloge de lecture n'ont guère d'importance. On a simplement utilisé un circuit SN7413 monté en multivibrateur. La mise en forme de l'impulsion d'horloge h_1 , de durée supérieure à 50 ns, s'impose par le fait qu'elle actionne en temps utile le monostable M_3 . La période de cette horloge a été fixée à 8 μs , de manière à ne pas fonctionner près de la limite des possibilités du sélecteur multicanaux.

3.1.2. Horloge écriture h_2 - Il est important que la période T_2 de l'horloge écriture soit connue avec précision et soit suffisamment stable à long terme pour que l'on puisse valablement comparer les résultats de diverses expériences. A cette fin, on a utilisé un oscillateur à quartz de fréquence égale à 20 MHz. Un diviseur 1 à 15 suit cet oscillateur (circuits P et E_1). On dispose en sortie de E_2 d'impulsions d'horloge dont la période T_2 peut prendre les valeurs multiples de 1 à 15 de 50 ns. La durée de l'impulsion h_2 , égale à 20 ns, est fixée par les temps de transit des diverses portes que comporte le diviseur.

3.2. Circuits d'entrée des données

Les signaux à classer dans la mémoire actionnent le monostable M_1 . Celui-ci est inhibé pendant le cycle lecture. Les portes G_1 et G_2 réalisent une mise en forme. L'impulsion qui en est issue constitue une information que l'on met en mémoire grâce au bistable $H(1,2)$. On se trouve à cet instant à une adresse n_1 . L'impulsion d'horloge écriture qui produit le passage à l'adresse $n_1 + 1$ actionne le bistable Q dont une sortie est connectée à l'entrée de la mémoire. L'information est présente à cette entrée pendant

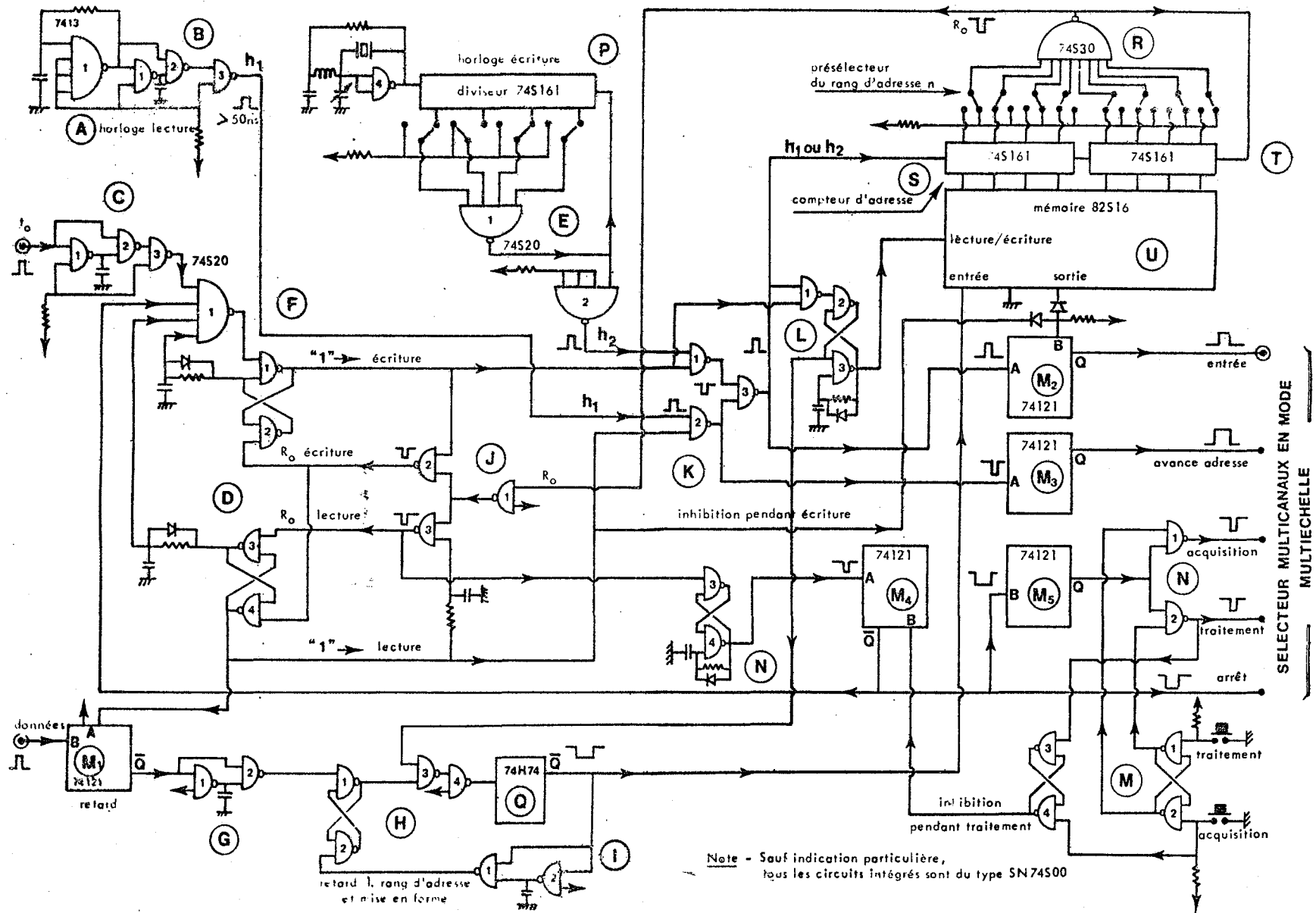


Figure 3 - Schéma du convertisseur de vitesse d'enregistrement

toute la durée d'adresse $n_1 + 1$. On est ainsi assuré de l'inscrire à cette adresse. L'impulsion d'horloge écriture suivante remet à zéro les deux bistables Q et H(1,2). Sans cette précaution, on courrait le risque de perdre des informations qui ne seraient pas présentes au bon moment ou d'inscrire la même à deux adresses consécutives. Par contre, on se prive de la possibilité d'écrire dans deux adresses voisines, mais les données sont toujours séparées par un intervalle bien supérieur à la durée d'une adresse, ceci à cause des temps morts présents dans l'électronique de comptage. D'ailleurs, il suffirait de remplacer le bistable Q par un monostable de période convenable pour retrouver cette possibilité.

3.3. Circuit d'entrée t_0 et commandes écriture-lecture

Le signal correspondant à l'entrée t_0 engendre un cycle écriture sous réserve que

- a) la remise à zéro en fin de lecture soit effectuée,
- b) le signal donnant l'ordre d'arrêt au sélecteur soit terminé.

Les liaisons entre D_3 et F_1 , d'une part, \bar{Q} de M_4 et F_1 , d'autre part, assurent que les conditions a et b sont simultanément satisfaites. Alors seulement une information, et une seule (grâce à la liaison entre D_2 et F_1), peut être transmise à l'entrée de D_1 du bistable D_1 - D_2 . Les réseaux résistance-diode-capacité disposés en sortie de D_2 et de D_3 introduisent des retards et garantissent un recouvrement correct des transitions sur les entrées de F_1 . On évite, grâce à ces complications du circuit d'entrée, que ne soient générés des cycles désordonnés et on permet au sélecteur de fonctionner en toute sécurité dans tous les cas.

Le bistable D(1,2) étant actionné, il autorise par l'intermédiaire de K_1 et de K_3 le passage vers le compteur d'adresse de n impulsions h_2 . On est en cycle écriture. Quand l'adresse n est atteinte, une impulsion de remise à zéro (R_0 écriture sur le schéma) remet D(1,2) au repos, le préparant pour un nouveau cycle écriture, et actionne le bistable D(3,4) qui, à son tour, autorise le passage par K_2 et K_3 de n impulsions h_1 . C'est la lecture et, quand l'adresse n est atteinte, une impulsion de remise à zéro (R_0 Lect. sur le schéma) replace D(3,4) au repos, préparant le passage d'un nouveau signal en t_0 .

En réalité, à cet instant on décide de ne pas considérer le premier événement capable de provoquer un cycle écriture, mais on attend qu'il en survienne un certain nombre N avant de donner l'autorisation, ceci pour s'assurer qu'on choisit tout à fait au hasard l'événement t_0 . Le circuit qui permet de retarder l'autorisation d'écrire n'est pas représenté sur le schéma car il a été ajouté lors des premiers essais. Il s'agit d'un compteur convenablement connecté au circuit et qui permet de fixer N entre 0 et 14.

Les impulsions R_0 écriture et R_0 lecture sont toutes deux issues de R. Elles sont triées sur le circuit J. Le monostable N(3,4) allonge l'impulsion R_0 Lect. qui ne saurait directement actionner M_4 .

3.4. Circuit mémoire

3.4.1. Monostable écriture - Constitué des portes L_2 et L_3 , il sert à générer le signal écriture à chaque adresse. Il n'est pas actionné pendant la lecture (porte L_1).

3.4.2. Compteur d'adresse, circuits S et T - Afin que la durée de toutes les adresses soit la même, ce compteur fonctionne en mode synchrone, c'est-à-dire que les changements d'état de ses sorties sont synchrones des impulsions d'horloge qui lui sont appliquées. Il s'agit de deux compteurs binaires 4 bits disposés en cascade, conformément aux instructions du constructeur de la mémoire.

Un jeu de clés et une porte à 8 entrées (circuit R) permettent d'opérer une présélection afin de choisir à l'avance le rang d'adresse n que l'on ne veut pas dépasser dans la mémoire. Ceci permet de gagner du temps au cours de certaines expériences. Lorsque le rang d'adresse n est atteint, le compteur d'adresse est remis à zéro et le signal de remise à zéro est utilisé comme il est indiqué en 3.3.

3.4.3. Mémoire - Les considérations qui la concernent se trouvent en 2.

3.5. Circuits de commande du sélecteur

Ils comprennent les monostables M_2 à M_5 , les bistables $M(1,2)$ et $M(3,4)$, ainsi que les portes N_1 et N_2 .

M_2 , M_3 et M_4 appellent peu de commentaires.

M_2 est sollicité par chaque impulsion d'horloge mais ne délivre de signal que si l'on est en lecture et que la sortie de la mémoire est au niveau 1, c'est-à-dire que si une information a été inscrite.

M_3 génère une impulsion d'avance adresse pour le sélecteur. Cette impulsion encadre l'impulsion issue de M_2 pour que la lecture puisse s'effectuer à la vitesse maximale.

M_4 fournit un signal d'arrêt au sélecteur après chaque cycle de lecture. Il agit en même temps sur le circuit d'entrée t_0 (voir 3.3.).

M_5 est actionné par le front arrière du signal provenant de M_4 . L'impulsion que produit M_5 est dirigée vers une entrée du sélecteur, donnant l'ordre d'acquisition, ou vers une autre, donnant l'ordre "traitement" qui permet d'observer la courbe enregistrée, d'imprimer le contenu des canaux, etc. L'aiguillage se fait par le jeu du bistable $M(1,2)$ et des portes N_1 et N_2 . Chacun des ordres "acquisition" ou "traitement" doit être précédé d'un signal d'arrêt pour être efficace. Ceci explique la configuration de cette partie du circuit. Mais la suite des signaux générés ici est imposée par le type de sélecteur utilisé et ne pourrait sans doute pas être directement appliquée à un appareil différent.

4. Exemple d'utilisation

L'enregistrement dont on a reproduit la photographie sur la figure 5 a été réalisé dans les conditions illustrées par la figure 4.

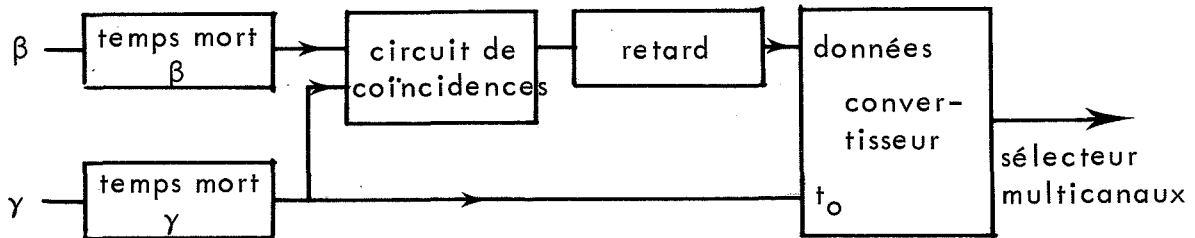


Figure 4 - Montage utilisé pour l'enregistrement reproduit dans la figure 5. t_0 correspond à la détection d'un gamma et on observe l'arrivée des coïncidences après leur avoir fait subir un retard.

On a repéré des zones numérotées de 1 à 5 pour aider à commenter brièvement l'enregistrement obtenu.

Dans les zones 1 et 5 on trouve des coïncidences vraies et fortuites, indépendantes de t_0 . Leur répartition dans le temps est uniforme, du moins en première approximation.

La zone 2 est strictement vide, ce que l'on pouvait attendre, deux coïncidences étant au minimum distantes de la durée du temps mort le plus long.

Dans la zone 3, la densité est très importante, surtout au voisinage de t_0 . En effet, presque chaque événement t_0 est accompagné d'une coïncidence, vraie dans la majorité des cas.

L'instant où le dernier des événements, β ou γ , atteint le circuit de coïncidence détermine dans le temps la détection de celle-ci. Le fait que la grande majorité des coïncidences "tombe" dans le canal 104, correspondant à t_0 , indique que le γ d'un couple arrive le plus souvent le dernier dans les conditions réalisées pour l'expérience.

La zone 4 est strictement vide, comme la zone 2, et pour la même raison. La somme des longueurs des zones 3 et 4 est égale à la longueur de la zone 2.

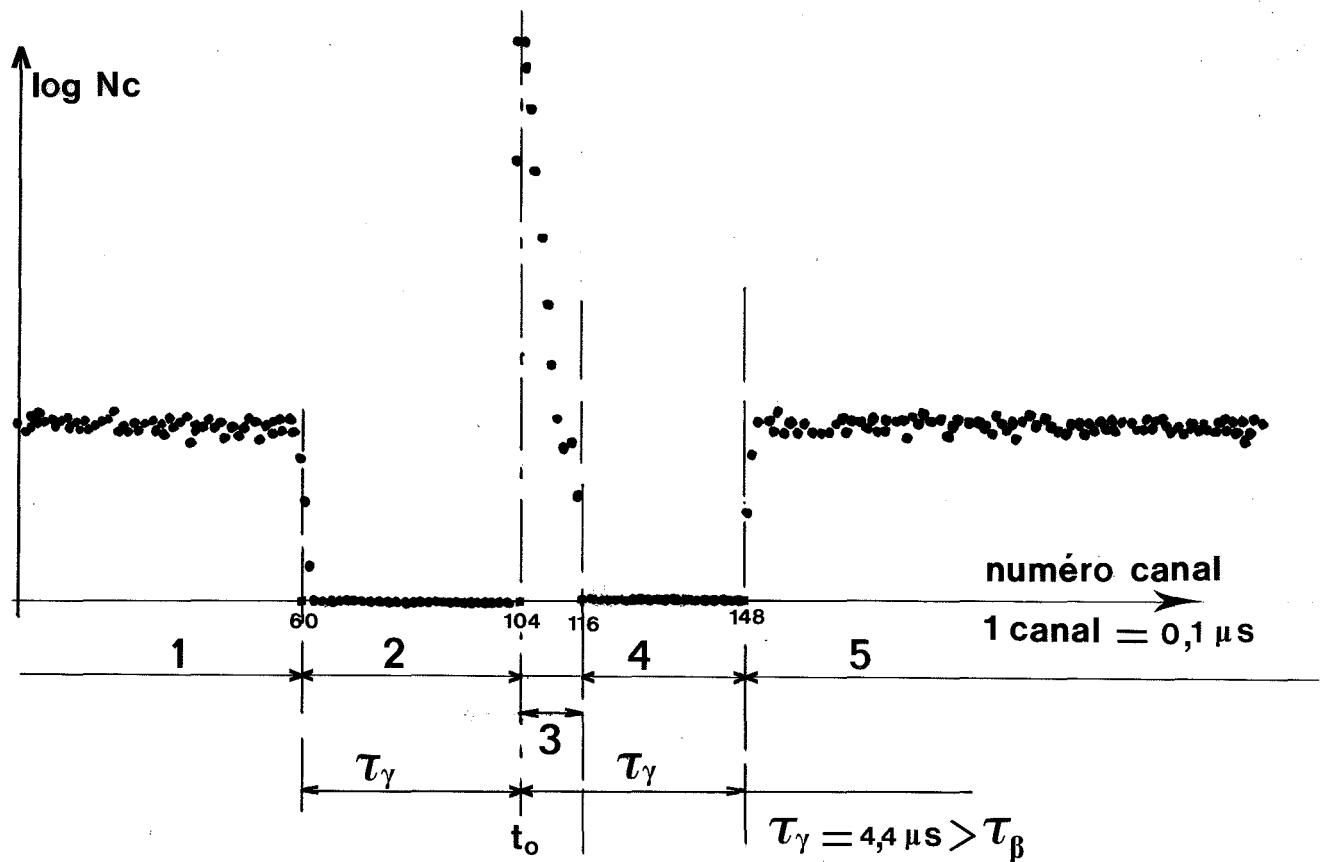


Figure 5 - Distribution d'intervalles

5. Conclusion

Les commentaires relatifs à l'enregistrement décrit sont loin d'être complets. On ne les a indiqués que pour donner une idée du genre d'utilisation que l'on peut faire du convertisseur. Le fait de découvrir sur un enregistrement de ce genre (ou d'un autre type) des anomalies par comparaison à ce que l'on peut attendre, indique soit la présence d'un défaut, soit celle d'un paramètre non négligeable. Dès les premiers essais, nous avons mis en évidence un petit défaut sur l'ensemble de coïncidences, défaut qu'il était pratiquement impossible de soupçonner et difficile d'observer par des méthodes directes.

(Novembre 1976)